

FLIP-FLOP CIRCUIT

Publication number: JP5218816

Publication date: 1993-08-27

Inventor: ISHII KIYOSHI; ICHINO HARUHIKO; SUZUKI MASAO

Applicant: NIPPON TELEGRAPH & TELEPHONE

Classification:

- International: **H03K3/286; H03K3/00**; (IPC1-7): H03K3/286

- European:

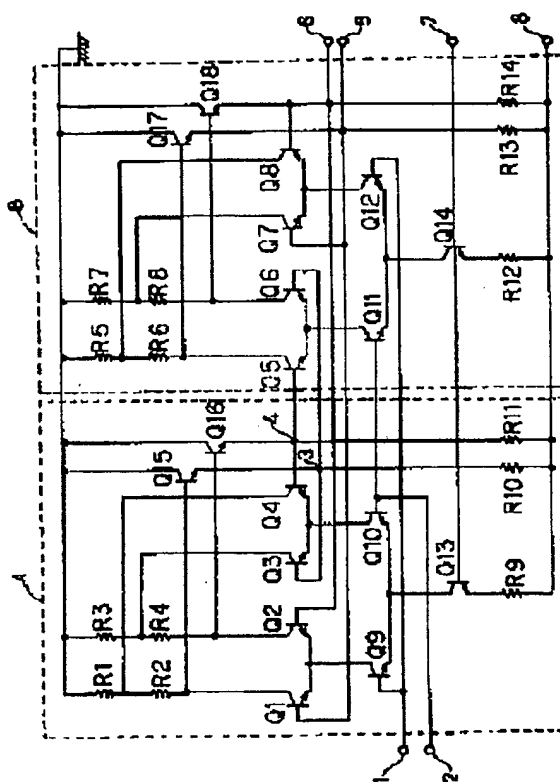
Application number: JP19920021361 19920206

Priority number(s): JP19920021361 19920206

Report a data error here

Abstract of JP5218816

PURPOSE: To provide a flip-flop circuit which works at a high speed with no increase of the power consumption. **CONSTITUTION:** The load resistance of a flip-flop circuit consists of the resistors (R1, R2), (R3, R4), (R5, R6) and (R7, R8) which are connected in series. The collector terminals of the differential paired transistors (Q3, Q4) and (Q7, Q8) provided on the upper stage of the holding side are connected between each of pairs of resistances (R1, R2), (R3, R4), (R5, R6) and (R7, R8). At the same time, these resistances are set at the optimum value respectively.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-218816

(43)公開日 平成5年(1993)8月27日

(51)Int.Cl.⁵

H 0 3 K 3/286

識別記号

庁内整理番号

F I

技術表示箇所

F 7436-5 J

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平4-21361

(22)出願日 平成4年(1992)2月6日

(71)出願人 000004226

日本電信電話株式会社

東京都千代田区内幸町一丁目1番6号

(72)発明者 石井 清

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 市野 晴彦

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(72)発明者 鈴木 正雄

東京都千代田区内幸町1丁目1番6号 日

本電信電話株式会社内

(74)代理人 弁理士 伊東 忠彦

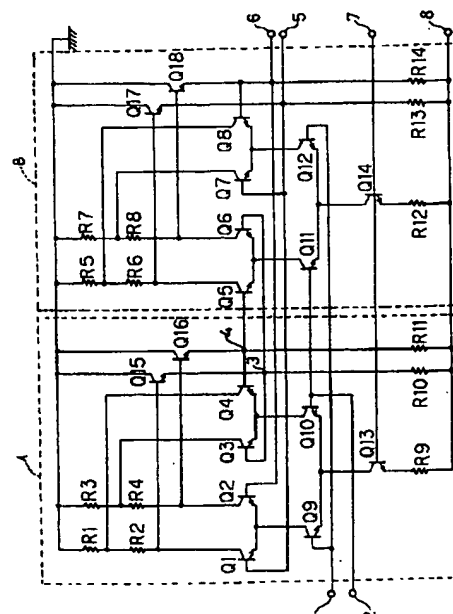
(54)【発明の名称】 フリップフロップ回路

(57)【要約】

【目的】 本発明の目的は、消費電力を増加させずに、高速動作するフリップフロップ回路を提供することである。

【構成】 本発明は、フリップフロップ回路の負荷抵抗を2つの抵抗器(R1, R2)(R3, R4)(R5, R6)(R7, R8)の直列接続によって構成し、保持側上段の差動対トランジスタ(Q3, Q4), (Q7, Q8)のコレクタ端子をこの2つの抵抗器間(R1, R2)(R3, R4)(R5, R6)(R7, R8)に接続し、且つこの2つの抵抗器(R1, R2)(R3, R4)(R5, R6)(R7, R8)をそれぞれ最適な値に設定する。

本発明の第1の実施例のトグルフリップ
フロップ回路の回路図



1

【特許請求の範囲】

【請求項1】 書き込み機能を有する第1の上段差動対トランジスタと、

保持機能を有する第2の上段差動対トランジスタと、
前記第1及び第2の共通エミッタ端子と結合されり下段差動対トランジスタと、2つのエミッタフォロウ用トランジスタを備え、

論理振幅を発生させるための第3及び第4の負荷抵抗を第1及び第2の負荷抵抗にそれぞれ直列に接続し、

前記第2の上段差動対トランジスタのコレクタ端子をそれぞれ前記第1の負荷抵抗と前記第3の負荷抵抗の間に、前記第2の負荷抵抗と前記第4の負荷抵抗の間にそれぞれ接続し、

前記第1の上段差動対トランジスタのコレクタ端子及び前記エミッタフォロウ用トランジスタのベース端子を前記第3及び第4の負荷抵抗にそれぞれ接続するマスタ回路とスレーブ回路により構成されることを特徴とするフリップフロップ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フリップフロップ回路に係り、特に、GHz帯で動作する高速電子機器に用いられるフリップフロップ回路に関する。

【0002】

【従来の技術】従来、最も一般的に使用されているフリップフロップ回路は、スタティック型トグルフリップフロップ回路である。そこで、スタティック型トグルフリップフロップ回路を例としてフリップフロップ回路の動作について説明する。

【0003】図5は、従来の第1の構成のトグルフリップフロップ回路の回路図を示す。この回路は、点線で囲まれている回路Aがマスタフリップフロップ回路を示し、同様に回路Bがスレーブフリップフロップ回路である。この回路は、上段差動対トランジスタQ1～Q8、下段差動対トランジスタQ9～Q12、定電流発生用トランジスタQ13、Q14、及び負荷抵抗R1、R3、R5、及びR7、エミッタフォロウ用抵抗R10、R11、R13及びR14、エミッタフォロウ用トランジスタQ15～Q18及び、定電流発生用抵抗R9、R12によって構成されている。さらにこの回路は、入力端子1、2、出力端子5、6、電源端子7、8を有する。

【0004】図5のトグルフリップフロップ回路のマスタ回路Aは、書き込み機能を有する上段差動対トランジスタQ1、Q2と、保持機能を有する上段差動対トランジスタQ3、Q4の2つの組と、この上段差動対トランジスタの共通のエミッタ端子と結合される一組の下段差動対トランジスタQ9、Q10の組と、負荷抵抗R1、R3にエミッタフォロウ用トランジスタQ15、Q16のベース端子が結合されるエミッタフォロウ回路を有する。

2

【0005】また、トグルフリップフロップ回路のスレーブ回路Bは、書き込み機能を有する上段差動対トランジスタQ5、Q6と、保持機能を有する上段差動対トランジスタQ7、Q8の2つの組と、この上段差動対トランジスタの共通のエミッタ端子と結合される一組の下段差動対トランジスタQ11、Q12の組と、負荷抵抗R5、R7にエミッタフォロウ用トランジスタQ17、Q18のベース端子が結合されるエミッタフォロウ回路を有する。

10 【0006】図6は、従来の構成のトグルフリップフロップ回路の各端子の電圧レベルの関係を表したタイミングチャートである。タイミングチャートの左側の各番号は、図5における各端子に対応している。

【0007】はじめに、端子2、3および5が高レベル、端子1、4及び6が低レベルになっているとする。即ち、トランジスタQ1、Q3、Q6、Q7、Q10及びQ11がオン状態、トランジスタQ2、Q4、Q5、Q8、Q9及びQ12がオフ状態とする。このとき、端子1が高レベル、端子2が低レベルになると、トランジスタQ9、Q12がオン状態、トランジスタQ10、11がオフ状態となるので、トランジスタQ9、Q1を介して抵抗R1に電流が流れる。そのため、端子9は端子10に対して低レベルとなる。エミッタフォロウ用トランジスタQ15、Q16は、信号をレベルシフトしているから、端子3は端子4に対して低レベルとなる。そうするとトランジスタQ3、Q6がオフ状態、トランジスタQ4、Q5がオン状態となる。

【0008】次に、端子1が低レベル、端子2が高レベルに変わると、トランジスタQ11、Q5を介して抵抗R5に電流が流れるため、端子11は端子12に対して低レベルとなる。エミッタフォロウ用トランジスタQ17、Q18は信号をレベルシフトしているから、端子5は端子6に対して低レベルとなる。そうすると、トランジスタQ1、Q7がオフ状態、トランジスタQ2、Q8がオン状態になる。さらに、端子1が高レベル、端子2が低レベルに変わると、トランジスタQ2、Q9を介して電流が流れるために、抵抗R3に電流が流れて端子4が低レベルになる。そのためトランジスタQ4、Q5がオフ状態、トランジスタQ3、Q5がオン状態となる。

40 【0009】さらに、端子1が低レベル、端子2が高レベルに変わると、トランジスタQ6、Q11と介して電流が流れるために、抵抗R7に電流が流れて端子6が低レベルになり、トランジスタQ2、Q8がオフ状態、トランジスタQ1、Q7がオン状態になる。

【0010】以後、このサイクルが繰り返され、入力周波数を1/2分周した出力が得られる。すなわち、スタティック型トグルフリップフロップ回路では、トランジスタQ9、Q10、Q11及びQ12がオン・オフする周期の1/2周期の出力が端子3、4、5及び6に得られる。

3

【0011】図7は、従来の構成のトグルフリップフロップ回路のトランジスタQ9、Q11のコレクタ電流と端子3、4の電圧の関係を示すグラフである。同図の値は、計算機シミュレーションから求めたトランジスタQ9、Q11のコレクタ電流と端子3、4の電圧波形の変化の関係を示すものである。

【0012】上述したように、トランジスタQ9がオン状態となり、コレクタ電流が流れることによって、論理振幅が変化して、端子3、4の電圧レベルに変化が生じる。しかしながら、トランジスタQ9がオンしてコレクタ電流が流れ始めてから端子3、4の電圧レベルが変化するまでに、遅延時間 T_{pd} だけのずれを生じる。これは、トランジスタ中のベースの中を電流が走行する時間及びトランジスタの容量成分の充電・放電に要する時間等に起因する遅延である。

【0013】端子3、4の電圧レベルの変化が1/2周期後のトランジスタQ11がオンする前に起こっていれば、トランジスタQ11がオンしてコレクタ電流が流れることによって、スレーブ側フリップフロップ回路の論理振幅が変化するので、端子5、6に電圧レベルに正常な変化が生じる。

【0014】同様に、端子5、6の電圧レベルの変化が1/2周期後のトランジスタQ9がオンする前に起こっていれば、トランジスタQ9がオンしてコレクタ電流が流れることによって、図5に示すマスタ側フリップフロップ回路Aの論理振幅が変化するので、端子3、4（端子5、6）の電圧レベルが正常に変化して、トグルフリップフロップ回路は正常動作する。

【0015】次に、従来の第1の構成の回路の高速性を補うものとして、従来の第2の構成の次のようなフリップフロップ回路が考案されている。図8は、従来の2段エミッタフォロワ構成のフリップフロップ回路の回路図である（H. M. Rein and R. Reimann, "3.8 Gbit/s Bipolar Master/Slave D-Flip-Flop IC as a Basic Element for High-Speed Optical Communication Systems," Electron. Lett., vol.22, no 10, pp. 543-544, 1986）。この回路は、エミッタフォロワ回路を従来の第1の構成の1段構成を2段構成とする回路である。この回路は、2段構成とすることにより上段差動対トランジスタのベース・コレクタ間逆バイアス電圧 V_{BC} を高め、ミラー容量を規制することによって遅延時間 T_{pd} の低減を図っている。

【0016】

【発明が解決しようとする課題】しかしながら、従来の第1の構成の回路は、入力周波数が高くなり遅延時間 T_{pd} が、トランジスタQ9、Q11のコレクタ電流が変化する周期の1/2周期を越えると、トランジスタQ11（またはQ9）がオンしても端子3、4（または端子5、6）の電圧レベルの変化が間に合わず、スレーブ（またはマスタ）側のフリップフロップ回路の論理振幅

4

が正常に変化しない。そのため、端子5、6（または端子3、4）に正常な電圧レベルの変化が生じず、トグルフリップフロップ回路は、正常動作しない。

【0017】このように、第1の構成のトグルフリップフロップ回路は、DCに近い低周波数から動作するが、 $1/(2T_{pd})$ の周波数が動作周波数の上限となっているため、広帯域であるが、回路動作の高速性に欠けている。また、従来の第2の構成のフリップフロップについては、2段エミッタフォロワ構成のフリップフロップ回路では、エミッタフォロワ回路が増加するために消費電力が増加するという問題がある。

【0018】本発明は上記の点に鑑みなされたもので、消費電力を増加させることなく、回路動作の高速化を図ることができるフリップフロップ回路を提供することとする。

【0019】

【課題を解決するための手段】上記問題を解決するために図1に基づいて説明する。本発明は、書込み機能を有する第1の上段差動対トランジスタ（Q1、Q2）（Q5、Q6）と、保持機能を有する第2の上段差動対トランジスタ（Q3、Q4）（Q7、Q8）と、第1及び第2上段差動対トランジスタ（Q1、Q2）（Q5、Q6）、（Q3、Q4）（Q7、Q8）の共通エミッタ端子と結合される下段差動対トランジスタ（Q9、Q10）（Q11、Q12）と、2つのエミッタフォロワ用トランジスタ（Q15）（Q16）（Q17）（Q18）を備え、論理振幅を発生させるための第3及び第4の負荷抵抗（R2）、（R4）、（R6）、（R8）を第1及び第2の負荷抵抗（R1）、（R3）、（R5）、（R7）にそれぞれ直列に接続し、第2の上段差動対トランジスタ（Q4）、（Q8）のコレクタ端子をそれぞれ第1の負荷抵抗（R1）、（R5）と第3の負荷抵抗（R2）、（R6）の間に、上段差動対トランジスタ（Q3）、（Q7）のコレクタ端子をそれぞれ第2の負荷抵抗（R3）、（R7）と第4の負荷抵抗（R4）、（R8）の間にそれぞれ接続し、第1の上段差動対トランジスタ（Q1、Q2）（Q5、Q6）のコレクタ端子及びエミッタフォロワ用トランジスタ（Q15）（Q16）、（Q17）（Q18）のベース端子を第3（R2）（R6）及び第4の負荷抵抗（R4）（R8）にそれぞれ接続するマスタ回路（A）とスレーブ回路（B）により構成される。

【0020】

【作用】本発明は、フリップフロップ回路の負荷抵抗を2つの負荷抵抗の直列接続によって構成するとともに、保持機能を有する上段差動対トランジスタのコレクタ端子をこの2つの抵抗器間に接続し、且つこの2つの抵抗器をそれぞれ使用するトランジスタに対し回路性能が最も向上する最適な値に設定する。これにより、書込み側上段差動対トランジスタが接続されている負荷抵抗より

5

保持側上段差動対トランジスタに接続されている負荷抵抗が小さくなり、保持の機能が弱まるために保持側の端子が、低レベル電圧が早い時間から立ち上がるため、電圧レベルが変化する迄の時間が短縮されることにより、遅延時間が短くなる。その結果によりフリップフロップ回路の最高動作周波数を向上させることができる。

【0021】

【実施例】以下本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例のトグルフリップフロップ回路の回路図である。同図中、図5と同一構成部分には同一符号を付す。同図の構成のトグルフリップフロップ回路のマスタ回路Aは、書き込み機能を有する上段差動対トランジスタQ1、Q2と、保持機能を有する上段差動対トランジスタQ3、Q4の2つの組と、この上段差動対トランジスタの共通のエミッタ端子と結合される一組の下段差動対トランジスタQ9、Q10の組と、負荷抵抗R1、R3に結合されるエミッタフォロワ用トランジスタQ15、Q16で構成されるエミッタフォロワ回路を有する。

【0022】また、トグルフリップフロップ回路のスレーブ回路Bは、書き込み機能を有する上段差動対トランジスタQ5、Q6と、保持機能を有する上段差動対トランジスタQ7、Q8の2つの組と、この上段差動対トランジスタの共通のエミッタ端子と結合される一組の下段差動対トランジスタQ11、Q12の組と、負荷抵抗R5、R7に結合されるエミッタフォロワ用トランジスタQ17、Q18で構成されるエミッタフォロワ回路を有する。

【0023】同図に示す本実施例のトグルフリップフロップにおいて、論理振幅を発生するための負荷抵抗は、抵抗R1～R8により構成される。保持機能を有する上段差動対（以下、保持側上段の差動対）トランジスタQ3のコレクタ端子は、抵抗R3とR4との間に接続されている。同様に、保持側上段の差動対トランジスタQ4のコレクタ端子は抵抗R1とR2との間、トランジスタQ7のコレクタ端子は抵抗R7とR8との間、トランジスタQ8のコレクタ端子は抵抗R5とR6との間にそれぞれ接続されている。このような構成にすることにより、回路の高速化が図れる。

【0024】上記の構成により回路動作の高速化が図れる理由について説明する。図2は従来の構成及び本発明の構成のトグルフリップフロップ回路の端子の電圧の比較を示す。同図は、図1に示す本発明のトグルフリップフロップ回路と図5に示される従来の構成の端子3、4での電圧波形の様子を表す。同図中、縦軸は、電圧(V)を示し、横軸は時間(ns)を示す。また、同図中、一点鎖線で示されるaは、本発明の端子3と端子4の電圧波形であり、実線で示されるbは、従来の構成の端子3と端子4の電圧波形である。

【0025】従来の構成のトグルフリップフロップ回路

6

では、抵抗R1、R3、R5及びR7を125Ωとし、抵抗R2、R4、R6及びR8を75Ωとした。従って、従来及び本発明の回路ともに、500mVの論理振幅を発生する。

【0026】従来の図5の構成の回路では、書き込み側及び保持側上段差動対トランジスタとも同一の125Ωの負荷抵抗に接続されている。一方、本発明の図1に示す回路では、書き込み側上段差動対トランジスタは合計125Ω(50Ω+75Ω)の負荷抵抗に接続されているが、保持側上段差動対トランジスタに接続されている負荷抵抗は、50Ωと小さくなっている。そのために、トランジスタの保持機能が弱まり端子3、4の電圧低レベルが早い時間から立ち上がるため、電圧レベルが変化するまでの時間、即ち遅延時間 T_{pd} が、図2に示すように、 ΔT_{pd} だけ短縮される。この短縮された時間分、回路動作が速くなる。その結果フリップフロップ回路は、高速化される。また、エミッタフォロワ回路を増加させる必要がなく、消費電力は従来の構成の回路と等しくなっている。

【0027】図3は入力感度特性の計算機シミュレーション結果を示すグラフである。同図は、従来構成と本発明のトグルフリップフロップ回路について、研究段階で一般的に用いられている性能のシリコンバイポーラnpnトランジスタを用いたときの入力感度特性の計算機シミュレーション結果を示している。同図の縦軸は、入力感度 V_{pp} (mV)であり、横軸は、入力周波数(GHz)である。cで示されるグラフは本発明の感度を示し、dで示されるグラフは従来の構成の感度を示す。本発明の図1の構成のトグルフリップフロップ回路は1GHz以下の非常に低い周波数から動作し、最高動作周波数は、従来の構成の8GHzから10GHz近くまで、1.2倍以上高速化された。

【0028】なお、本実施例では、抵抗R1、R3、R5及びR7は50Ω、抵抗R2、R4、R6及びR8は75Ωを用いたが、いずれの抵抗も広範囲に値を変えられ任意の値に設定できる。

【0029】図4は、本発明の第2の実施例のデータフリップフロップ回路の回路図を示す。本実施例は、本発明の構成をデータフリップフロップ回路に適用した場合を示すものである。同図の構成は図1の構成と略同様であり、上段差動対トランジスタQ1、Q2、Q7、Q8のベース端子に接続される端子が異なるのみである。従って、データフリップフロップ回路においても回路動作の一層の高速化が達成できることは明らかである。

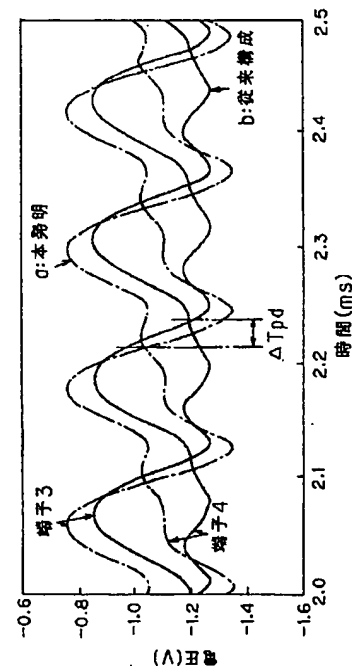
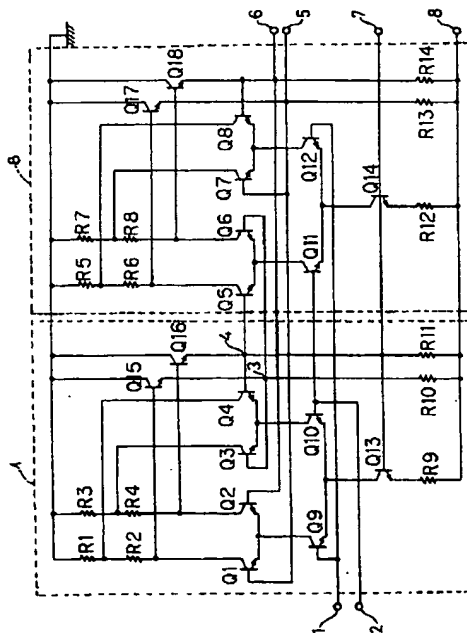
【0030】なお、以上の本発明の実施例では、シリコンバイポーラトランジスタを用いた場合について述べたが、本発明を化合物半導体によるバイポーラトランジスタや種々の電界効果トランジスタに用いても高速化の効果があることはいうまでもない。

【図5】従来の構成のトグルフリップフロップ回路の回路図である。

R 9, R 1 2 定電流發生用抵抗

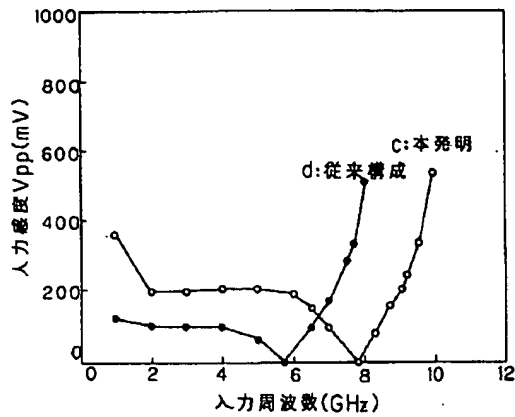
【図 2】

従来の構成及び本発明の構成のトグル
フリップフロップ回路の端子の電圧の比較
を示す図



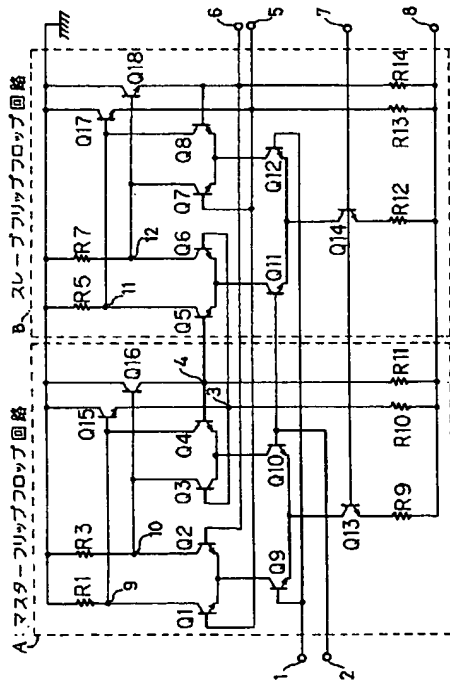
【図3】

入力感度特性の計算機シミュレーション結果を示すグラフ



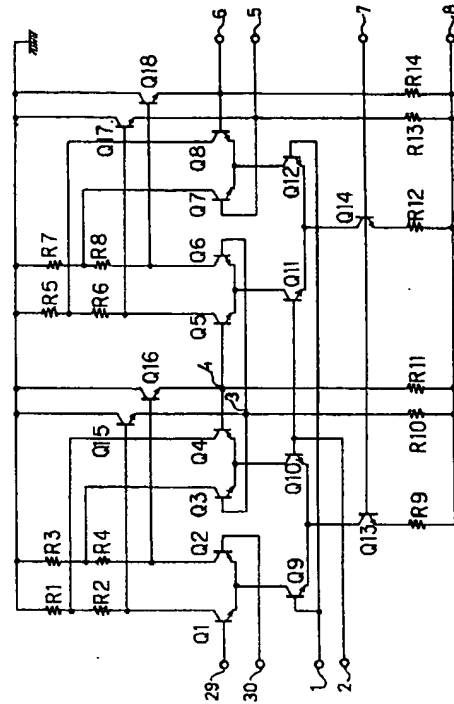
【図5】

従来の構成のトグルフリップフロップ回路の回路図



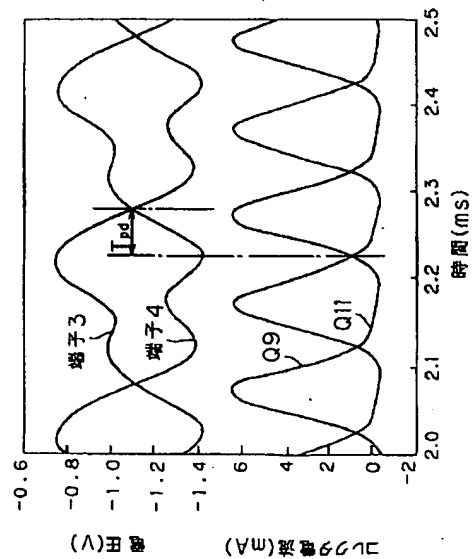
【図4】

本発明の第2の実施例のデータフリップフロップ回路の回路図



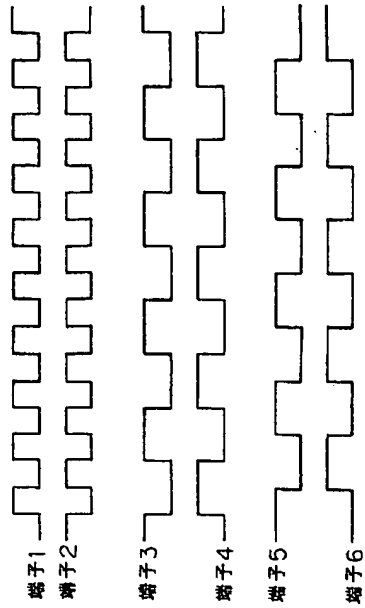
【図7】

従来の構成のトグルフリップフロップ回路のトランジスタQ9, Q11のコレクタ電流と端子3, 4の電圧の関係を示すグラフ



【図6】

従来の構成のトグルフリップフロップ回路の各端子の
電圧レベルの関係を表したタイミングチャート



【図8】

従来の2段エミッタフォロワ構成の
フリップフロップ回路の回路図

